



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0047630
Application Number

출원년월일 : 2003년 07월 12일
Date of Application JUL 12, 2003

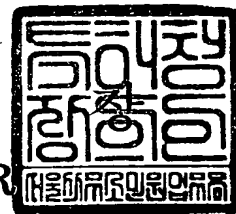
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.07.12
【발명의 명칭】	반도체 소자의 트렌치 형성방법
【발명의 영문명칭】	Method for forming a trench in semiconductor device
【출원인】	
【명칭】	(주)하이닉스 반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	신영무
【대리인코드】	9-1998-000265-6
【포괄위임등록번호】	1999-003525-1
【발명자】	
【성명의 국문표기】	류상욱
【성명의 영문표기】	RYU, Sang Wook
【주민등록번호】	700727-1121222
【우편번호】	360-181
【주소】	충청북도 청주시 상당구 용암동 부영2차아파트 207-105
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 신영무 (인)
【수수료】	
【기본출원료】	16 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	29,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 반도체 소자의 트렌치 형성방법에 관한 것으로, 트렌치가 형성되기전 상기 트렌치가 형성될 반도체 기판의 영역에 대하여 이온주입공정을 실시하여 상기 영역에 격자결함을 유발시킴으로써 후속 트렌치 형성공정시 상기 영역에서의 식각속도를 빠르게 가져가고, 이로 인하여, 패턴의 가장자리에서 발생하는 마이크로 트렌치를 억제하고, 동시에 패턴 사이즈별로 발생하는 마이크로 로딩효과 또한 억제할 수 있는 반도체 소자의 트렌치 형성방법이 개시된다.

【대표도】

도 6

【색인어】

이온주입공정, 트렌치, 스페이서

【명세서】**【발명의 명칭】**

반도체 소자의 트렌치 형성방법{Method for forming a trench in semiconductor device}

【도면의 간단한 설명】

도 1 내지 도 6은 본 발명의 바람직한 실시예에 따른 반도체 소자의 트렌치 형성방법을 설명하기 위하여 도시된 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

- | | |
|----------------|-------------|
| 10 : 반도체 기판 | 12 : 패드 산화막 |
| 14 : 패드 질화막 | 16 : 캡핑층 |
| 18 : 포토레지스트 패턴 | 20 : 스페이서 |
| 24 : 트렌치 | |

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<7> 본 발명은 반도체 소자의 트렌치 형성방법에 관한 것으로, 특히 트렌치(trench)를 형성하기 위한 식각공정시 발생하는 마이크로 트렌치(micro trench) 및 마이크로 로딩 효과(micro loading effect)를 제어할 수 있는 반도체 소자의 트렌치 형성방법에 관한 것이다.

<8> 최근 반도체 소자가 고집적화 및 고성능화되어 감에 따라 반도체 소자의 제조기술 또한 고집적화가 요구되고 있다. MOSFET(Metal Oxide Semiconductor Field Effect Transistor)의 게이트의 선폭 축소기술과 더불어 소자의 분리기술이 반도체 소자의 고집적화에 가장 밀접하게 연관되어 있다. 소자의 분리기술로는 주로 R-LOCOS(Recessed-LOCAl Oxidation of Silicon) 기술이 많이 사용되어 오고 있다. 그러나, 그러나, $0.25\mu\text{m}$ 이하급부터는 거의 모든 소자에 트렌치(trench) 형성기술이 이용되고 있다.

<9> 현재의 트렌치 형성기술을 이용한 소자 분리기술은 실리콘 기판을 건식식각할 때, 마이크로 트렌치(micro trench)가 예기치 않게 주로 발생된다. 그리고, 그 주변의 격자결함에 의한 응력장으로 인하여 소자에 전압을 인가하고 전류를 흘릴 경우, 누설전류(leakage current) 등이 발생됨으로 인해 소자의 신뢰성에 치명적인 손상을 주게 된다. 더욱이 마이크로 로딩효과(micro loading effect)에 의해 스페이스(space)별 트렌치의 깊이가 달라지게 된다. 실리콘 기판 상에 패드 산화막(예컨대, 30\AA 내지 200\AA)과 패드 질화막(예컨대, 500\AA 내지 2000\AA)이 증착되고, 포토레지스트 패턴(photoresist pattern)(예컨대, 5000\AA 내지 12000\AA)이 형성된다. 이후, 상기 포토레지스트 패턴을 식각 마스크로 이용한 건식식각공정이 진행될 때, 트렌치의 밀도차에 따라 식각속도의 차이가 유발되고, 이로 인하여 트렌치가 조밀하게 형성된 지역(이하, '조밀지역'이라 함)과 조밀하지 않고 넓게 형성된 지역(이하, '넓은지역'이라 함) 간에 있어서 트렌치 깊이가 달라지게 된다. 예컨대, 트렌치 깊이가 2000\AA 일 경우는 식각장치의 성능 및 상태에 따라 식각깊이가 1700\AA 내지 2300\AA 정도로 변동을 일으킬 수 있다. 이러한 현상은 웨이퍼 부위별 또는 웨이퍼별로 소자 분리의 특성차를 유발시킬 수 있다.

<10> 이러한 현상이 발생하는 주(main)된 이유는 식각공정시 생성되는 식각 부산물이 빠져 나가야 할 높이가 너무 높고, 이온과 래디칼(radical)이 식각되는 표면까지 이르는데 방해가 받

아 조밀한 부분과 넓은 부분 간의 식각속도의 차이를 유발하는 주된 원인이 되기 때문이다. 이는, 향후 $0.13\mu\text{m}$ 이하급의 고성능 반도체 소자일 경우에는 그 영향이 매우 심각하고, 이러한 식각속도의 차이에 의한 식각 깊이의 차이는 결국 조밀한 부분과 넓은 부분의 펀치 스루(punch through), 문턱전압(threshold voltage), 채널전압(channel voltage) 등 소자 분리시의 산화막의 전기적인 특성에 차이를 가져오게 된다.

【발명이 이루고자 하는 기술적 과제】

- <11> 따라서, 본 발명의 바람직한 실시예에서는 트렌치(trench)를 형성하기 위한 식각공정시 발생하는 마이크로 트렌치(micro trench) 및 마이크로 로딩 효과(micro loading effect)를 제어하는데 그 목적이 있다.

【발명의 구성 및 작용】

- <12> 본 발명의 바람직한 실시예의 일측면에 따르면, 반도체 기판 상에 제1 및 제2 패드막이 증착되는 단계와, 상기 제1 및 제2 패드막이 패터닝되어 상기 반도체 기판이 노출되는 단계와, 노출되는 상기 반도체 기판에 이온주입공정을 실시하여 상기 이온주입공정에 의해 이온이 주입된 상기 반도체 기판의 영역에 격자결함이 유발되는 단계와, 트렌치 식각 마스크를 이용한 식각공정을 실시하여 상기 단계에서 격자결함이 유발된 상기 반도체 기판의 영역이 격자결함이 유발되지 않은 지역보다 빠르게 식각되어 트렌치가 형성되는 단계를 포함하는 반도체 소자의 트렌치 형성방법이 제공된다.

- <13> 또한, 본 발명의 바람직한 실시예의 다른 측면에 따르면, 반도체 기판 상에 제1 및 제2 패드막이 증착되는 단계와, 상기 제1 및 제2 패드막이 패터닝되는 단계와, 패터닝되는 상기 제1 및 제2 패드막의 내측벽에 스페이서가 형성되는 단계와, 상기 스페이서 사이를 통해 노출되는 상기 반도체 기판에 제1 이온주입공정이 실시되는 단계와, 식각공정을 실시하여 상기 스페이서의 두께가 감소되어 후속 공정을 통해 형성될 트렌치의 선폴이 증가되는 단계와, 상기 반도체 기판에 제2 이온주입공정이 실시되는 단계와, 상기 제1 및 제2 이온주입공정에 의해 격자 결함이 유발된 상기 반도체 기판의 영역을 식각하여 트렌치가 형성되는 단계를 포함하는 반도체 소자의 트렌치 형성방법이 제공된다.
- <14> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록하며 통상의 지식을 가진자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다.
- <15> 도 1 내지 도 6는 본 발명의 실시예에 따른 반도체 소자의 트렌치 형성방법을 설명하기 위하여 도시된 단면도들이다. 여기서, 도 1 내지 도 6에 도시된 참조부호들 중 서로 동일한 참조부호는 동일한 기능을 하는 동일한 구성요소를 가리킨다.
- <16> 도 1을 참조하면, 전처리 세정공정(pre-cleaning)에 의해 세정된 반도체 기판(10)이 제공된다. 이때, 전처리 세정공정은 DHF(Diluted HF)로 세정된 후, SC-1($\text{NH}_4\text{OH}/\text{H}_2\text{O}_2/\text{H}_2\text{O}$) 용액으로 세정되거나, BOE(Buffer Oxide Etchant) 용액으로 세정된 후 SC-1로 세정된다.
- <17> 상기과 같이, 전처리 세정공정에 의해 세정된 반도체 기판(10) 상에는 패드 산화막(12)이 증착된다. 이때, 패드 산화막(12)은 반도체 기판(10)의 상부표면의 결정결함 또는 표면처리를 위하여, 750°C 내지 800°C 의 온도범위에서 건식 또는 습식산화방식으로 산화공정을 실시하

여 30Å 내지 500Å의 두께로 형성되는 것이 바람직하다. 이후, 상기 패드 산화막(12) 상부에는 패드 질화막(14)이 증착된다. 이때, 패드 질화막(14)은 질화막 또는 질산화막으로 형성될 수 있다. 또한, 패드 질화막(14)은 후속 트렌치(24; 도 6참조)에 매립되는 소자 분리막용 HDP(High Density Plasma) 산화막(미도시)의 높이를 고려하여 500Å 내지 3000Å으로 증착되는 것이 바람직하다. 이후, 상기 패드 질화막(14) 상부에는 캡핑층(16)이 증착된다. 이때, 캡핑층(16)은 산화막으로 형성되고, 300Å 내지 2000Å의 두께로 증착되는 것이 바람직하다,

<18> 상기 캡핑층(16) 까지 증착된 후, 전체 구조 상부에는 포토레지스트(photoresist; 미도시)가 도포된 후 포토 마스크(photo mask)를 이용한 노광공정 및 현상공정을 실시하여 포토레지스트 패턴(18)이 형성된다. 이후, 상기 포토레지스트 패턴(18)을 식각 마스크로 이용한 식각공정을 실시하여 캡핑층(16), 패드 질화막(14) 및 패드 산화막(12)이 모두 패터닝되거나, 패드 산화막(12)이 일정 두께로 잔류되도록 패터닝될 수 있다. 패드 산화막(12)을 일정 두께로 잔류시키는 이유는 상기 식각공정에 의해 반도체 기판(10)의 상부가 손상(damage)을 받는 것을 방지하기 위함이다. 여기서, 상기 패드 산화막(12)이 일정 두께로 잔류되는 경우 잔류되는 패드 산화막(12)은 후속 스페이서(20; 도 2참조) 형성공정시 완전히 패터닝된다. 이때, 상기 식각공정에서는 건식식각방식으로 $C_xH_yF_z$ (x, y, z 는 0 또는 자연수) 가스가 주(main) 식각가스로 이용되고, SF_6 , Cl_2 , N_2 , O_2 , HBr , Ar 및 He 중 어느 하나의 가스가 첨가가스로 이용된다. 이후, 상기 포토레지스트 패턴(18)은 스트립 공정(strip)을 통해 제거된다.

<19> 도 2를 참조하면, 도 1에서 패터닝된 패드 산화막(12), 패드 질화막(14) 및 캡핑층(16)의 내측벽에는 스페이서(20)가 형성된다. 스페이서(20)는 산화막 계열의 물질이 전체 구조 상부에 증착된 후 식각공정을 통해 형성된다. 이때, 상기 스페이서(20)는 100Å 내지 1000Å의 두께로 형성되는 것이 바람직하다. 상기 식각공정은 도 1에서 실시되는 식각공정과 동일한 방

법으로 실시될 수 있으며, 이 외에도, 식각 마스크 없이 블랭킷(blanket) 또는 에치백(etch back) 방식으로 실시될 수 있다.

<20> 도 3을 참조하면, 도 2에서 스페이서(20)가 형성된 후 1차적으로 이온주입공정(이하, '제1 이온주입공정'이라 함)이 실시된다. 상기 제1 이온주입공정은 도 2에서 노출되는 반도체 기판(10)에 대하여 Ar, He, Ne, Kr, Xe 등과 같은 주기율표상 불활성 기체족을 이용하여 실시된다. 이때, 제1 이온주입공정은 $1.0 \times 10^{10} \text{ions/cm}^2$ 내지 $1.0 \times 10^{18} \text{ions/cm}^2$ 의 이온도즈량(dose)과 3KeV 내지 60KeV의 이온주입에너지로 실시되며, 주입된 이온들이 반도체 기판(10) 내에서 1000 내지 4000Å 정도의 비정거리로 분포될 수 있도록 실시된다. 도시된 '22a'는 제1 이온주입공정을 통해 주입된 이온들의 분포를 도시한다.

<21> 도 4를 참조하면, 도 3에서 제1 이온주입공정이 완료된 후, 선폭을 넓혀주기위한 식각공정이 실시된다. 상기 식각공정은 스페이서(20)에 대하여 실시되며, 습식 또는 건식식각방식으로 실시될 수 있다. 이때, 상기 습식식각방식은 HF 또는 BOE와 같이 불소를 포함한 습식용액(wet etchant)로 실시된다. 상기 건식식각방식은 도 2에서 설명한 식각공정과 동일한 방법으로 실시된다. 상기 식각공정을 통해 상기 스페이서(20)는 50Å 내지 950Å 정도로 식각된다. 이로써, 식각된 두께만큼 선폭이 넓어진다.

<22> 도 5를 참조하면, 2차적으로 이온주입공정(이하, '제2 이온주입공정'이라 함)이 실시된다. 상기 제2 이온주입공정은 상기 제1 이온주입공정과 마찬가지로 Ar, He, Ne, Kr, Xe 등과 같은 주기율표상 불활성 기체족을 이용하여 실시된다. 이때, 제2 이온주입공정은 $1.0 \times 10^{10} \text{ions/cm}^2$ 내지 $1.0 \times 10^{18} \text{ions/cm}^2$ 의 이온도즈량(dose)과 3KeV 내지 55KeV의 이온주입에너지로 실시되며, 주입된 이온들이 반도체 기판(10) 내에서 300 내지 3000Å 정도의 비정거리로 분

포될 수 있도록 실시된다. 도식된 '22b'는 제1 및 제2 이온주입공정을 통해 주입된 이온들의 분포를 도식한다.

- <23> 도 6을 참조하면, 도 5에서 제2 이온주입공정이 완료된 후 식각공정을 통해 트렌치(24)가 형성된다. 이때, 상기 식각공정은 건식식각방으로, Cl_2 , BCl_3 , SF_6 등 주기율표상 레디칼족의 원소가 포함된 가스를 주 식각가스로 이용하고, Ar, O_2 , N_2 , He 등의 가스를 첨가가스로 이용한다.
- <24> 상기에서 설명한 바와 같이 도 3 및 도 5를 통해 2차에 걸친 이온주입공정을 실시하는 이유는 트렌치(24)가 형성될 반도체 기판(10)의 중앙부에 격자결함을 유발시키기 위함이다. 이로써, 후속 트렌치 형성공정시 가장자리부(즉, 격자결함이 유발되지 않은 지역)에 비해 중앙부(즉, 격자결함이 유발된 지역)에서의 식각속도를 빠르게 가져가기 위함이다. 따라서, 트렌치 패턴의 가장자리에서 발생하는 마이크로 트렌치를 억제하며, 동시에 트렌치 패턴 사이즈(size)별로 발생하는 마이크로 로딩효과 또한 억제할 수 있다.
- <25> 상기에서 설명한 본 발명의 기술적 사상은 바람직한 실시예들에서 구체적으로 기술되었으나, 상기한 실시예들은 그 설명을 위한 것이며, 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명은 이 기술 분야의 통상의 전문가라면 본 발명의 기술적 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <26> 이상에서 상술한 바와 같이, 본 발명에 의하면, 트렌치가 형성되기전 상기 트렌치가 형성될 반도체 기판의 영역에 대하여 이온주입공정을 실시하여 상기 영역에 격자결함을 유발시킴으로써 후속 트렌치 형성공정시 상기 영역에서의 식각속도를 빠르게 가져가고, 이로 인하여,



1020030047630

출력 일자: 2003/10/14

패턴의 가장자리에서 발생하는 마이크로 트렌치를 억제하고, 동시에 패턴 사이즈별로 발생하는 마이크로 로딩효과 또한 억제할 수 있다.

【특허청구범위】**【청구항 1】**

- (a) 반도체 기판 상에 제1 및 제2 패드막이 증착되는 단계;
- (b) 상기 제1 및 제2 패드막이 패터닝되어 상기 반도체 기판이 노출되는 단계;
- (c) 노출되는 상기 반도체 기판에 이온주입공정을 실시하여 상기 이온주입공정에 의해 이온이 주입된 상기 반도체 기판의 영역에 격자결함이 유발되는 단계; 및
- (d) 트렌치 식각 마스크를 이용한 식각공정을 실시하여 상기 (c) 단계에서 격자결함이 유발된 상기 반도체 기판의 영역이 격자결함이 유발되지 않은 지역보다 빠르게 식각되어 트렌치가 형성되는 단계를 포함하는 반도체 소자의 트렌치 형성방법.

【청구항 2】

제 1 항에 있어서,

상기 이온주입공정은 주기율표상 불활성 기체를 이용하는 반도체 소자의 트렌치 형성방법.

【청구항 3】

제 2 항에 있어서,

상기 불활성 기체는 He, Ne, Ar, Kr 및 Xe 중 어느 하나인 반도체 소자의 트렌치 형성방법.

【청구항 4】

- (a) 반도체 기판 상에 제1 및 제2 패드막이 증착되는 단계;
- (b) 상기 제1 및 제2 패드막이 패터닝되는 단계;
- (c) 패터닝되는 상기 제1 및 제2 패드막의 내측벽에 스페이서가 형성되는 단계;
- (d) 상기 스페이서 사이를 통해 노출되는 상기 반도체 기판에 제1 이온주입공정이 실시되는 단계;
- (e) 식각공정을 실시하여 상기 스페이서의 두께가 감소되어 후속 공정을 통해 형성될 트렌치의 선포이 증가되는 단계;
- (f) 상기 반도체 기판에 제2 이온주입공정이 실시되는 단계; 및
- (g) 상기 제1 및 제2 이온주입공정에 의해 격자결함이 유발된 상기 반도체 기판의 영역을 식각하여 트렌치가 형성되는 단계를 포함하는 반도체 소자의 트렌치 형성방법.

【청구항 5】

제 4 항에 있어서,

상기 제1 및 제2 이온주입공정은 주기율표상 불활성 기체를 이용하는 반도체 소자의 트렌치 형성방법.

【청구항 6】

제 5 항에 있어서,

상기 불활성 기체는 He, Ne, Ar, Kr 및 Xe 중 어느 하나인 반도체 소자의 트렌치 형성방법.

【청구항 7】

제 4 항에 있어서,

상기 제1 이온주입공정은 $1.0E10\text{ions/cm}^2$ 내지 $1.0E18\text{ions/cm}^2$ 의 이온도즈량(dose)과 3KeV 내지 60KeV의 이온주입에너지로 실시되는 반도체 소자의 트렌치 형성방법.

【청구항 8】

제 4 항에 있어서,

상기 (d) 단계에서 상기 제1 이온주입공정을 통해 주입된 이온들은 상기 반도체 기판 내에서 1000\AA 내지 4000\AA 정도의 비정거리로 분포되는 반도체 소자의 트렌치 형성방법.

【청구항 9】

제 4 항에 있어서,

상기 제2 이온주입공정은 $1.0E10\text{ions/cm}^2$ 내지 $1.0E18\text{ions/cm}^2$ 의 이온도즈량(dose)과 3KeV 내지 55KeV의 이온주입에너지로 실시되는 반도체 소자의 트렌치 형성방법.

【청구항 10】

제 4 항에 있어서,

상기 (f) 단계에서 상기 제2 이온주입공정을 통해 주입된 이온들은 상기 반도체 기판 내에서 300 Å 내지 3000 Å 정도의 비정거리로 분포되는 반도체 소자의 트렌치 형성방법.

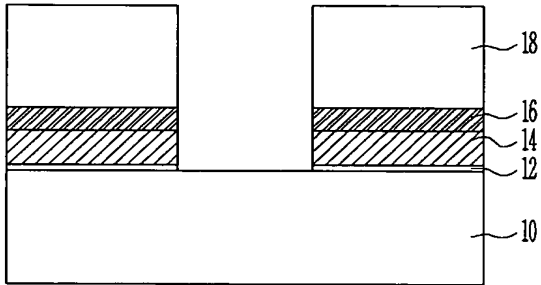
【청구항 11】

제 4 항에 있어서,

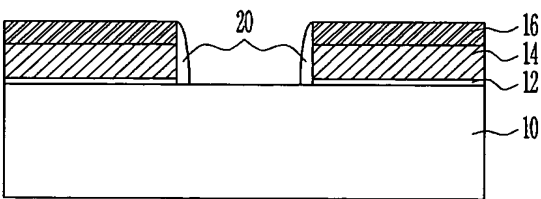
상기 (a) 단계에서 상기 제2 패드막 상부에 산화막이 증착되는 단계를 더 포함하는 반도체 소자의 트렌치 형성방법.

【도면】

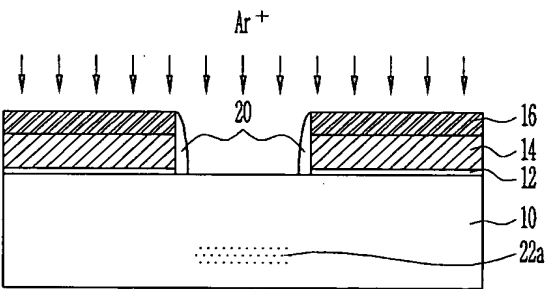
【도 1】



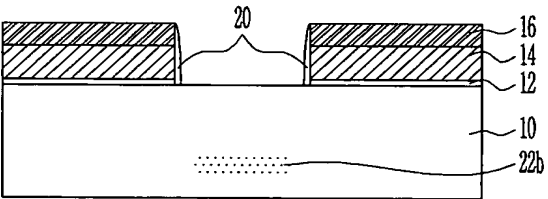
【도 2】



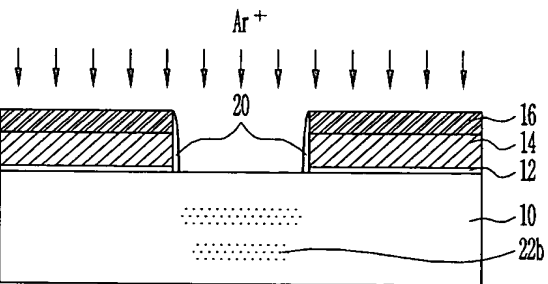
【도 3】



【도 4】



【도 5】



【도 6】

